

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-106653

(43)Date of publication of application : 11.04.2000

(51)Int.Cl.

H04N 5/335

(21)Application number : 10-274535

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 29.09.1998

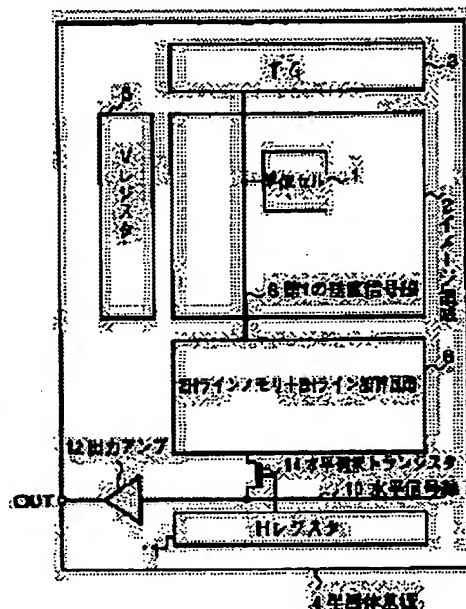
(72)Inventor : NAKAMURA NOBUO
EGAWA YOSHITAKA

(54) SOLID-STATE IMAGE PICKUP DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a CMOS image sensor capable of conducting interface operation in its inside.

SOLUTION: A solid-state image pickup element is provided with a plurality of unit cells 1 including a photoelectric conversion section and an amplifier section, that amplifies the output of the photoelectric conversion section and outputs the amplified signal and arranged in two-dimension in row and column directions on a semiconductor substrate 4, a plurality of vertical signal lines 8 through which the amplified signal is transmitted in the column direction, and a vertical register 5 and a horizontal register 11 that respectively scan the unit cells arranged two-dimensionally in the row and column directions. In the element, a 2H line memory +2H line adder circuit 6, that stores the amplified signals of the upper and lower pixels corresponding to 2 pixels at least and sums them, is provided to obtain the objective image pickup device.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開2000-106653

(P2000-106653A)

(43)公開日 平成12年4月11日(2000.4.11)

(51)Int.Cl.

識別記号

FI

テームト(参考)

H04N 5/335

H04N 5/335

E 5C024

P

審査請求 未請求 請求項の数3 OL (全9頁)

(21)出願番号 特願平10-274535

(22)出願日 平成10年9月29日(1998.9.29)

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 中村 信男

神奈川県川崎市幸区小向東芝町1番地 株

式会社東芝研究開発センター内

(72)発明者 江川 佳孝

神奈川県川崎市幸区堀川町580番1号 株

式会社東芝半導体システム技術センター内

(74)代理人 100083161

弁理士 外川 英明

Fターム(参考) 50024 A401 CA05 CA08 FA01 GA01

GA31 GA33 GA48 HA10 JA04

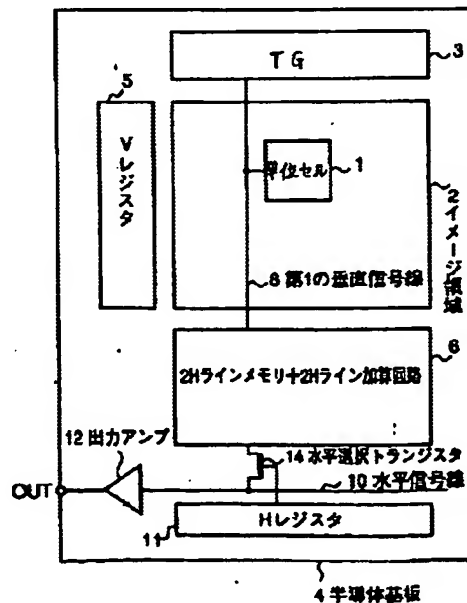
JA11

(54)【発明の名称】 固体撮像装置

(57)【要約】

【課題】 センサ内部でインターレース動作を行えるCMOSイメージセンサを提供する。

【解決手段】 光電変換部と前記光電変換部の出力を増幅して増幅信号を出力する増幅部とを含み、半導体基板4上に行方向及び列方向に二次的に配置された複数の単位セル1と、列方向に前記増幅信号を伝達する複数の垂直信号線8と、二次的に配列された前記単位セルを行方向および列方向にそれぞれ走査する垂直レジスタ5及び水平レジスタ11とを備える固体撮像素子において、前記増幅信号を少なくとも上下2画素分蓄積し、加算する2Hラインメモリ+2Hライン加算回路6を備えることを特徴とする固体撮像装置。



【特許請求の範囲】

【請求項1】 光電変換部と前記光電変換部の出力を増幅して増幅信号を出力する増幅部とを含み、半導体基板上に行方向及び列方向に二次元的に配置された複数の単位セルと、

列方向に前記増幅信号を伝達する複数の垂直信号線と、二次元的に配列された前記単位セルを行方向および列方向にそれぞれ走査する垂直レジスタ及び水平レジスタと、

各列毎に前記垂直信号線を通して伝達された、少なくとも二つの前記増幅信号を独立に蓄積する蓄積部と、前記少なくとも二つの増幅信号を加算する加算部を備えることを特徴とする固体撮像装置。

【請求項2】 光電変換部と前記光電変換部の出力を増幅して増幅信号を出力する増幅部とを含み、半導体基板上に行方向及び列方向に二次元的に配置された複数の単位セルと、

列方向に前記増幅信号を伝達する複数の第1の垂直信号線と、

二次元的に配列された前記単位セルを行方向および列方向にそれぞれ走査する垂直レジスタ及び水平レジスタと、

前記第1の垂直信号線と電気的に分離され、各々の前記第1の垂直信号線に対し少なくとも一本以上設けられた第2の垂直信号線と、

各列毎にこの第2の垂直信号線を通して伝達された、前記検出信号を蓄積するトランジスタとキャパシタからなる少なくとも二つの蓄積部と、

これらの蓄積部に蓄積された前記検出信号を加算する加算部を備えることを特徴とする固体撮像装置。

【請求項3】 水平帰線期間内に、前記蓄積部に蓄積された少なくとも二行分の検出信号を加算することを特徴とする請求項1乃至2記載の固体撮像装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、固体撮像装置、特に、インターレース動作が可能なCMOS型固体撮像装置に関する。

【0002】

【従来の技術】近年固体撮像装置としてCMOS型（増幅型ともAPS（Active Pixel Sensor）型とも呼ばれている）の固体撮像装置（以下、CMOSイメージセンサと呼ぶ）がモバイル機器向けの低消費電力固体撮像装置として、開発製品化が加速している。現在のCMOSイメージセンサは行の信号を順序良く読み出すプログレッシブ走査が一般的である。

【0003】図10は、従来のCMOSイメージセンサの内部構成の概略を示す図である。単位セル1には、フォトダイオード及びこのフォトダイオードの検出信号を増幅する増幅トランジスタがある。ここで、イメージ領

域2には図の簡略化のため単位セルを1個しか記載していないが、実際には、この単位セル1が行列2次元状に配列されている。垂直レジスタ（Vレジスタ）5によって、検出信号を読み出す行が決められ、対応する行の単位セルで検出された検出信号が第1の垂直信号線8を通して、1Hメモリ100に行単位で蓄積される。1Hメモリ100に行単位で蓄積された検出信号は、水平レジスタ（Hレジスタ）11による水平選択トランジスタ14のオン・オフによって、水平信号線10を通り、出力アンプ12で増幅して出力される。Vレジスタ5及びHレジスタ11などを駆動するのが、タイミングジェネレータ（TG）3である。

【0004】しかし、パソコンや携帯機器には最適なプログレッシブ走査であるが、NTSC方式やPAL方式のような現行テレビ方式に対応させるためには、AフィールドとBフィールドで加算する上下の行が異なるインターレース方式にしなければならない。

【0005】しかし、CMOSイメージセンサではセンサ内部で雑音を発生させない加算を行うことが難しく、インターレース走査を行うことが難しかった。これを解決する為に、たとえばNHKの安藤等はイメージ領域の上下の加算手段を作り、イメージ領域で加算することを提案している（参考文献：安藤他“1/4インチ25万画素増幅型固体撮像素子AMI”、テレビジョン学会誌、Vol.49, No.2, pp.188-195, 1995）。しかし、単位画素の面積の小さな部分で上下画素信号の加算をフォトダイオードで行う必要があるため、単位画素を微細化することが難しく、上下の画素のフォトダイオード電位が行ごとに異なるため、暗電流や固定パターン雑音が行ごとに異なるという問題があった。

【0006】またCMOSイメージセンサのチップの出力はプログレッシブ方式にて読み出し、外部のシステムの加算にてインターレース方式に変換する方式もあるが、余分な回路が付加されシステムのコストを上げることにつながってしまう。

【0007】

【発明が解決しようとする課題】本発明は、以上の問題点を考慮して、センサ内部でインターレース動作を行えるCMOSイメージセンサを提供する。また、ランダム雑音や固定パターン雑音の低減が行え、単位セルの微細化の場合にも対応できるように、各列毎に、インターレース動作を行わせる機能を盛り込むことである。

【0008】

【課題を解決するための手段】第1の発明は、光電変換部と前記光電変換部の出力を増幅して増幅信号を出力する増幅部とを含み、半導体基板上に行方向及び列方向に二次元的に配置された複数の単位セルと、列方向に前記増幅信号を伝達する複数の垂直信号線と、二次元的に配列された前記単位セルを行方向および列方向にそれぞれ走査する垂直レジスタ及び水平レジスタと、各列毎に前

記垂直信号線を通して伝達された、少なくとも二つの前記増幅信号を独立に蓄積する蓄積部と、前記少なくとも二つの増幅信号を加算する加算部を備えることを特徴とする固体撮像装置である。

【0009】第2の発明は、光電変換部と前記光電変換部の出力を増幅して増幅信号を出力する増幅部とを含み、半導体基板上に行方向及び列方向に二次元的に配置された複数の単位セルと、列方向に前記増幅信号を伝達する複数の第1の垂直信号線と、二次元的に配列された前記単位セルを行方向および列方向にそれぞれ走査する垂直レジスタ及び水平レジスタと、前記第1の垂直信号線と電気的に分離され、各々の前記第1の垂直信号線に対し少なくとも一本以上設けられた第2の垂直信号線と、各列毎にこの第2の垂直信号線を通して伝達された、前記検出信号を蓄積するトランジスタとキャパシタからなる少なくとも二つの蓄積部と、これらの蓄積部に蓄積された前記検出信号を加算する加算部を備えることを特徴とする固体撮像装置である。

【0010】第3の発明は、水平帰線期間内に、前記蓄積部に蓄積された少なくとも二行分の検出信号を加算することを特徴とする第1乃至第2の発明に記載の固体撮像装置である。

【0011】本発明によれば、インターレース動作をCMOSイメージセンサ内部で行える。また、ランダム雑音や固定パターン雑音の低減が行え、単位セルの微細化の場合にも対応できるように、各列毎に、インターレース動作が可能である。また、水平帰線期間内に、少なくとも上下2画素の加算を行うことによって、センサの外部で加算する場合と比較してシステムコストを低減できる。

【0012】

【発明の実施の形態】以下、本発明の実施の形態について図面を参照しながら説明する。図1は、本発明の実施形態に係るCMOSイメージセンサ（以下、単にセンサという）の概略構成を示す図である。センサは、半導体基板4上に単位セル1からなるイメージ領域2と、セルを駆動する垂直レジスタ（Vレジスタ）5及び水平レジスタ（Hレジスタ）11と、Vレジスタ5及びHレジスタ11等を駆動するタイミングジェネレータ（TG）3と、単位セル1の出力となる第1の垂直信号線8と、第1の垂直信号線8の信号の2行分のラインメモリ+2行分のライン加算機能を有する2Hラインメモリ+2Hライン加算回路6と、各列を選択する水平選択トランジスタ14と、水平信号線10と、出力アンプ12からなる。ここで、イメージ領域2には図の簡略化のため単位セルを1個しか記載していないが、実際には、この単位セル1が行列2次元状に配列されている。センサは60Hz（PAL方式では50Hz）のAフィールドとBフィールドに分けて蓄積が行われる。前記2Hラインメモリ+2Hライン加算回路6により、Aフィールドでは2

N行と(2N+1)行の加算、Bフィールドでは(2N-1)行と2N行の加算が行われる。尚、Nは1, 2, 3, ...の自然数である。

【0013】図2は、本実施形態の2Hラインメモリ+2Hライン加算回路6-aの概略構成を示す図である。第1の垂直信号線8（8-1, 8-2, ...）には、サンプルホールドトランジスタ29（29-1, 29-2, ...）とキャパシタC1（C1-1, C1-2, ...）を介して、第2の垂直信号線17（17-1, 17-2, ...）が接続されている。ここで、図の簡略化のため第1の垂直信号線8を2本しか記載していないが、実際には、横方向に複数配列されている。第2の垂直信号線17には、トランジスタ23（23-1, 23-2, ...）とキャパシタC2（C2-1, C2-2, ...）の直列接続が、2組分（キャパシタC2とトランジスタ23、および、キャパシタC3（C3-1, C3-2, ...）とトランジスタ26（26-1, 26-2, ...））が接続されている。ここでは、2N行の信号電圧はトランジスタ23を介してキャパシタC2に蓄積され、(2N+1)行の信号電圧はトランジスタ26を介してキャパシタC3に蓄積され、この2N行の信号電圧と(2N+1)行の信号電圧は、第2の垂直信号線17で加算されることに特徴がある。

【0014】サンプルホールドトランジスタ29は、S/H線18のオン電圧に対応して、第2の垂直信号線17に信号電圧を伝える。クランプトランジスタ25（25-1, 25-2, ...）は、クランプ線20のオン電圧に対応して、第2の垂直信号線17（17-1, 17-2, ...）の電圧をクランプする為に配置されている。第2の垂直信号線17の信号電圧は、水平選択トランジスタ14（14-1, 14-2, ...）を介して、水平信号線10に読み出される。

【0015】尚、クランプトランジスタ25は、本発明のインターレース動作には必ずしも必要でない。したがって、各列毎に、トランジスタが3つ（23, 26, 29）、キャパシタが3つ（C1, C2, C3）あれば、本発明は成り立ち、少ない部品数で、インターレース動作が行え、システムコストを低減でき、さらに、第1の垂直信号線8の間隔にも影響を与えずにすむ。

【0016】また、2Hラインメモリ+2Hライン加算回路6-aの詳細については、後述する駆動タイミングチャートで説明する。図3は、本実施形態の単位セル1-aの概略構成を示す図である。単位セル1に必要なものは、光を受けて電気信号に変換する光電変換手段とこの電気信号を増幅する増幅手段のみが少なくとも含まれていればよい。図3は、光電変換手段のフォトダイオード37と、フォトダイオード37の信号電圧を検出する検出ノード35と、検出ノード35によって検出された信号電圧を増幅する増幅トランジスタ30と、各行を選択する為の選択トランジスタ32と、フォトダイオード

37の信号を読み出す為の読み出しトランジスタ36からなる。

【0017】単位セルの等価回路1-aの動作を簡単に説明する。まず、図1のVレジスタ5で信号電圧を読み出す行を決めると、この行に対応したアドレス線40に接続されている選択トランジスタ32を“ON”にし、前記行が活性化される。次に、フォトダイオード37の信号を読み出す前に、リセット線39に接続されたリセットトランジスタ34を“ON”にし検出ノードを電源電圧33にリセットする。その後、リード線38に接続された読み出しトランジスタ36を“ON”にし、信号電圧を検出ノード35に読み出す。従って、垂直信号線8には、リセット信号が最初に出力され、次に信号電圧が出力される。

【0018】図4は本実施形態の変形例1であって、単位セル1-aの変形例である単位セル1-bの概略構成を示す図である。この回路図では、図3の読み出しトランジスタ36がない点で、図3と異なる。この場合、垂直信号線8には信号電圧が最初に出力され、次にリセット信号が出力される。この変形例では、図3の読み出しトランジスタ36を必要としないので、単位セル1を小さくすることができる。

【0019】図5は本実施形態の駆動タイミングチャートの概略を示す図である。ここでは、図2に記載の2Hラインメモリ+2Hライン加算回路6-aと図3に記載の単位セルの等価回路1-aの場合の駆動タイミングチャートに基づいて、図2の詳細について説明する。水平帰線期間200内に、2N行目の信号電圧の蓄積すなわち、キャパシタC2への信号電圧の蓄積と、(2N+1)行目の信号電圧の蓄積すなわち、キャパシタC3への信号電圧の蓄積と、さらに第2の垂直信号線17内でキャパシタC2とキャパシタC3に蓄積された信号電圧の加算が行われる。

【0020】この場合、2N行目のアドレス線40-2Nが選択されると、2N行目が活性化される。この時、H1線19に接続されたトランジスタ23のみが“ON”状態なので、第2の垂直信号線17はクランプ電圧にリセットされる。その後、読み出しトランジスタ38を“ON”し、第1の垂直信号線8に出力された信号電圧をキャパシタC2に蓄積する。同様にして、H2線22に接続されたトランジスタ26のみが“ON”状態になり、(2N+1)行目の信号をキャパシタC3に蓄積する。最後にトランジスタ23および26を同時に“ON”することによって、上下2行分の信号を第2の垂直信号線17(17-1, 17-2, …)で加算する。この場合は、第2の垂直信号線17を1本使って信号の加算が行われる。この加算方式は、Aフィールドでは2N行と(2N+1)行の加算が、Bフィールドでは(2N-1)行と2N行の加算が行われる。

【0021】図6は本実施形態の変形例1の駆動タイミ

ングチャートの概略を示す図である。図6は図2に記載の2Hラインメモリ+2Hライン加算回路6-aと図4に記載の単位セルの等価回路1-bの組み合わせの場合である。水平帰線期間200内に、2N行目のアドレス線を選択し、この時に第2の垂直信号線17をクランプする。その後、単位セル1-bのリセットトランジスタ34を“ON”することによって、(Vsig-Vreset)の信号をキャパシタC2に書き込む。最初に書き込むキャパシタはC2でもC3でもどちらでもよい。後の動作は、第5図の場合と同様に行い、第2の垂直信号線17を1本使って信号の加算が行われる。

【0022】尚、キャパシタC2とC3の大きさであるが、同じ大きさに設定すれば、2N行と(2N+1)行の信号の重み付けは同じになるが、キャパシタの大きさを変更すれば重みを付けた加算が行えることになり、エッジ強調したり、解像度を向上させることのできる、センサを提供できる。このような機能は、本発明の請求項の範囲を逸脱しない範囲で、広く行うことができる。

【0023】図7は、本実施形態の変形例2であって、加算回路6-aの変形例である3Hラインメモリ+3Hライン加算回路6-bの概略構成を示す。本変形例では3ラインの加算を行うので、3ライン目の検出信号を蓄積するためのキャパシタC4(C4-1, C4-2, …)、トランジスタ43(43-1, 43-2, …)及びH3信号線41が必要である。本実施形態の場合、加算する行の数が3つと増えただけで、動作は第5図、第6図の場合と同様なので説明を省略するが、上述した重みを付けた加算を行えば、インターレース動作とともに、エッジ強調や、光のランダム雑音の改善に効果がある。さらに、この回路構成は別の用途にも応用できる。例えば、2N行の信号をC2, C3に蓄積し、(2N+1)行の信号をC4に蓄積することによって、2ラインのエッジ強調が行える。また、2N行の信号をC2, C3, C4に蓄積することで、信号を3倍にできる。

【0024】図8は本実施形態の変形例3であって、加算回路6-aの変形例である2Hラインメモリ+2Hライン加算回路6-cの概略構成を示す図である。この例では、一本の第1の垂直信号線8(図8の8-1)に対して第2の垂直信号線が2本必要である。つまり、2N行目の信号はキャパシタ51(51-1, 51-2, …)に蓄積し、(2N+1)行目の信号はキャパシタ57(57-1, 57-2, …)に蓄積し、水平選択トランジスタ14, 54(54-1, 54-2, …)、59(59-1, 59-2, …)を同時に“ON”することにより、2N行目の信号と(2N+1)行目の信号を加算することができる。動作は第5図と第6図の場合と同様であるので、詳細は省略するが、水平帰線期間200の間にこれらの動作を行うようにする。

【0025】図9は本実施形態の変形例4であって、加算回路6-aの変形例である2Hラインメモリ+2Hラ

イン加算回路6-dの概略構成を示す図である。この例では第2の垂直信号線17に2つのキャパシタC2およびC3がそれぞれトランジスタ23および26を介して接続されている。動作は第5図と第6図の場合と同様であるので、詳細は省略するが、水平掃線期間200の間にこれらの動作を行うようにする。第9図では以下に説明するように雑音除去回路も加えているため回路構成が異なっているが、インターレース動作を同様に行うことができる。スライストランジスタ70(70-1, 70-2, ...)のゲートには第1の垂直信号線8が接続され、ソースにはスライス容量73(73-1, 73-2, ...)、スライスリセットトランジスタ71(71-1, 71-2, ...)が接続されている。各雑音除去回路の部品70, 71, 73は、スライスリセットトランジスタ駆動ライン72、スライスリセットトランジスタソースライン74、スライス容量駆動ライン75により駆動される。

【0026】

【発明の効果】本発明を採用することによって、ランダム雑音や固定パターン雑音の発生が少なく、さらに単位セルを微細化したまま、CMOSイメージセンサのインターレース動作をチップ内部で行わせることができる。

【図面の簡単な説明】

【図1】 本実施形態に係るCMOSイメージセンサの概略構成を示す図である。

【図2】 本実施形態に係る2Hラインメモリ+2Hライン加算回路6-aの概略構成を示す図である。

【図3】 本実施形態の単位セル1-aの概略構成を示す図である。

【図4】 本実施形態の変形例1であって、単位セル1-aの変形例である単位セル1-bの概略構成を示す図である。

【図5】 本実施形態の駆動タイミングチャートの概略を示す図である。

【図6】 本実施形態の変形例1の駆動タイミングチャートの概略を示す図である。

【図7】 本実施形態の変形例2であって、加算回路6-aの変形例である3Hラインメモリ+3Hライン加算回路6-bの概略構成を示す。

【図8】 本実施形態の変形例3であって、加算回路6-aの変形例である2Hラインメモリ+2Hライン加算回路6-cの概略構成を示す図である。

【図9】 本実施形態の変形例4であって、加算回路6-aの変形例である2Hラインメモリ+2Hライン加算

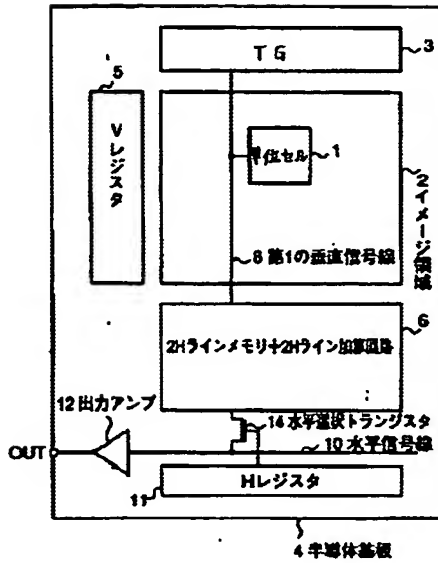
回路6-dの概略構成を示す図である。

【図10】 従来のCMOSイメージセンサの内部構成の概略を示す図である。

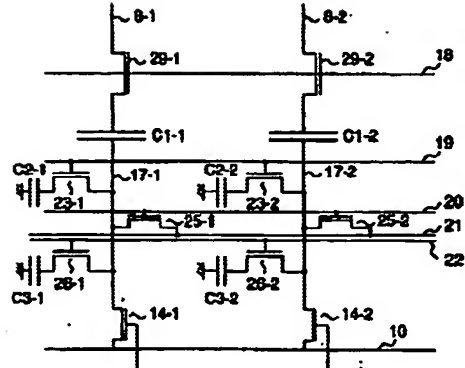
【符号の説明】

- | | |
|----------------------------|----------------------|
| 1 | 単位セル |
| 2 | イメージ領域 |
| 3 | TG |
| 4 | 半導体基板 |
| 5 | Vレジスタ |
| 10 6 | 2Hラインメモリ+2Hライン加算回路 |
| 8 | 第1の垂直信号線 |
| 10 | 水平信号線 |
| 11 | Hレジスタ |
| 12 | 出力アンプ |
| 14, 54, 59 | 水平選択トランジスタ |
| 17 | 第2の垂直信号線 |
| 18 | S/H線 |
| 19 | H1線 |
| 20 | クランプ線 |
| 21 | バイアス電圧線 |
| 22 | H2線 |
| 23, 26, 43 | トランジスタ |
| 25 | クランプトランジスタ |
| 29 | サンプルホールドトランジスタ |
| 32 | 選択トランジスタ |
| 33 | 電源電圧 |
| 34 | リセットトランジスタ |
| 35 | 検出ノード |
| 36 | 読み出しトランジスタ |
| 30 37 | フォトダイオード |
| 38 | リード線 |
| 39 | リセット線 |
| 40 | アドレス線 |
| 43 | H3信号線 |
| 70 | スライストランジスタ |
| 71 | スライスリセットトランジスタ |
| 72 | スライスリセットトランジスタ駆動ライン |
| 73 | スライス容量 |
| 74 | スライスリセットトランジスタソースライン |
| 40 75 | スライス容量駆動ライン |
| 100 | 1Hメモリ |
| 200 | 水平掃線期間 |
| C1, C2, C3, C4, 50, 51, 57 | キャパシタ |

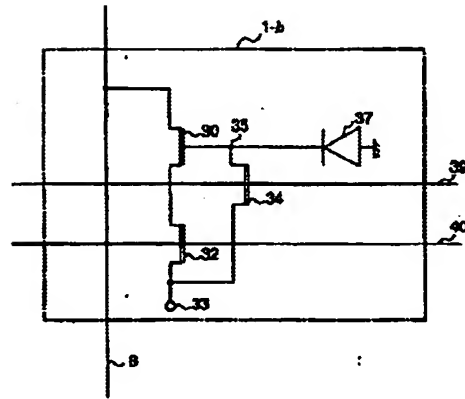
【図1】



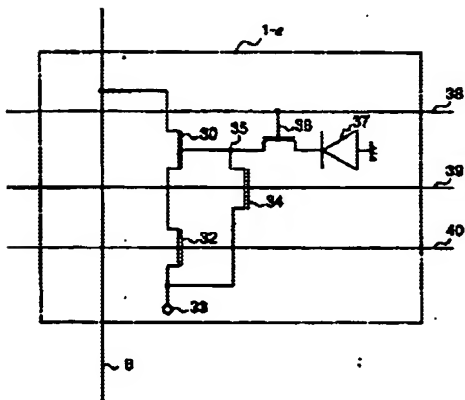
【図2】



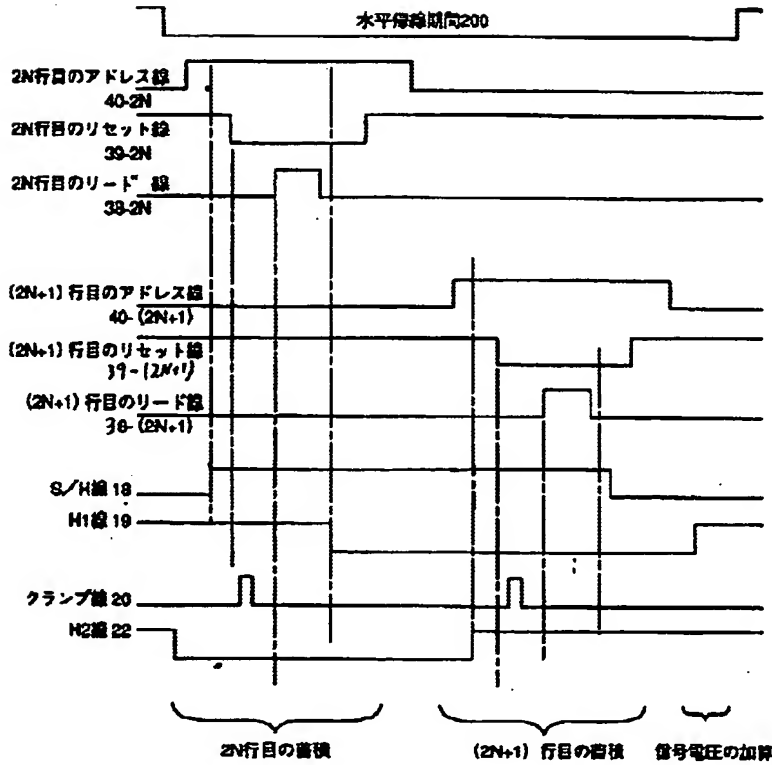
【図4】



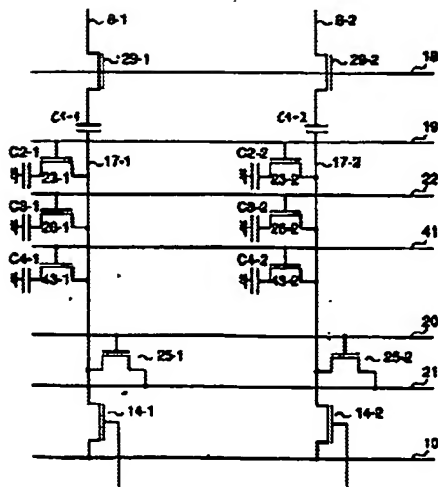
【図3】



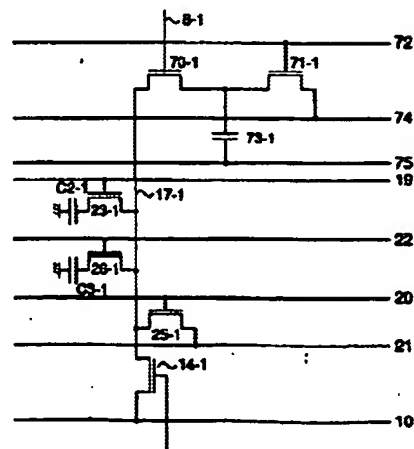
【図5】



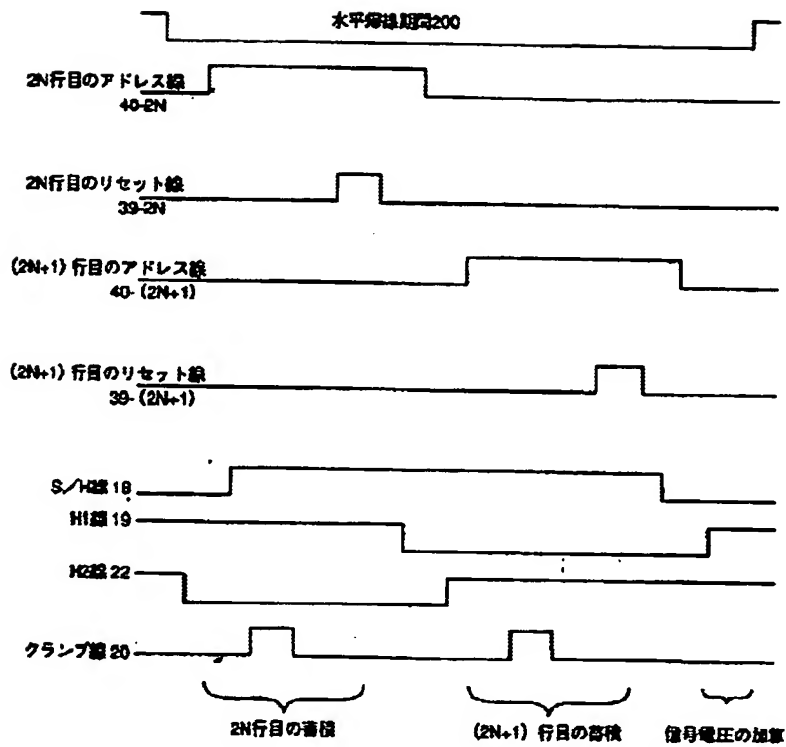
【図7】



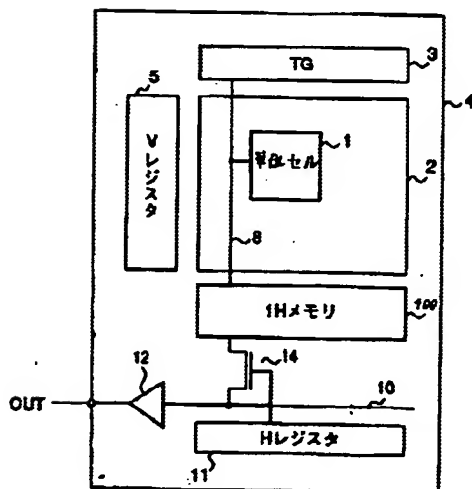
【図9】



【図6】



【図10】



【図8】

